

(19)日本国特許庁(J P)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平6-5393

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/537	E	9181-5H		
7/48	F	9181-5H		
H 0 2 P 9/10	Z	2116-5H		

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 実願平3-8610

(22)出願日 平成3年(1991)1月30日

(71)出願人 000005326

本田技研工業株式会社

東京都港区南青山二丁目1番1号

(72)考案者 中村 政史

埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

(72)考案者 清水 元寿

埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

(74)代理人 弁理士 渡部 敏彦

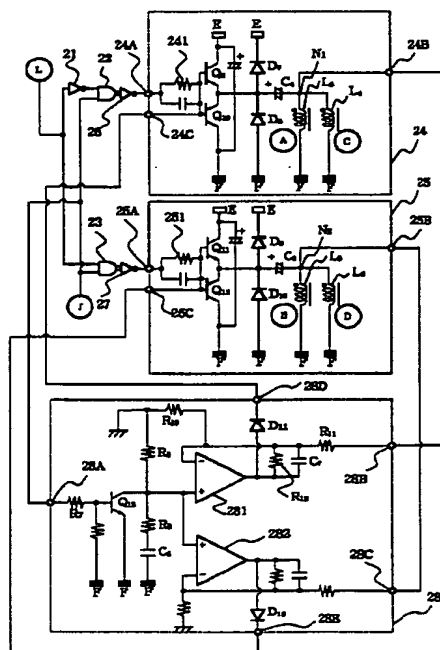
(54)【考案の名称】 インバータ装置

(57)【要約】

【目的】 作動停止命令信号が入力された直後に発生し得る、低周波成分カット用コンデンサに蓄えられた電荷の放電に起因するF E T駆動信号の乱れを抑制する。

【構成】 スイッチング装置(インバータ回路)へ作動停止命令信号が入力されたときに作動してパルストランスA、B、C、Dの一次側と低周波成分カット用のコンデンサC 4、C 5との直列回路間の電位に負帰還をかける減衰回路28を設けた。

【効果】 パルストランスA、B、C、Dの一次側と低周波成分カット用のコンデンサC 4、C 5との直列回路間の電位は負帰還により打ち消され、減衰振動は抑制され、F E T駆動信号の乱れは抑制される。



1

【実用新案登録請求の範囲】

【請求項1】 直列接続されたF E Tを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波状の入力信号をパルス幅変調してP W M信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるP W M信号をバルストランスを介して前記スイッチング装置の前記各F E Tのゲート端子に供給して前記各F E Tをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記バルストランスの一次側に接続され、入力する前記P W M信号から低周波成分を除いて前記バルストランスの一次側に供給する低周波成分カット用コンデンサと、前記バルストランスの二次側と前記各F E Tのゲート端子との間に接続され、前記パルス幅変調回路から出力されるP W M信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記バルストランスの一次側*

2

*と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えたことを特徴とするインバータ装置。

【図面の簡単な説明】

【図1】 本発明に係るインバータ装置を含むエンジン発電機の全体構成図である。

【図2】 インバータ装置の各部における信号波形のタイムチャートである。

【図3】 インバータ装置作動停止時の過渡状態を示す回路図およびタイムチャートである。

【符号の説明】

9 インバータ回路（スイッチング装置）

10 出力回路

20 インバータバッファ（パルス幅変調回路）

28 減衰回路

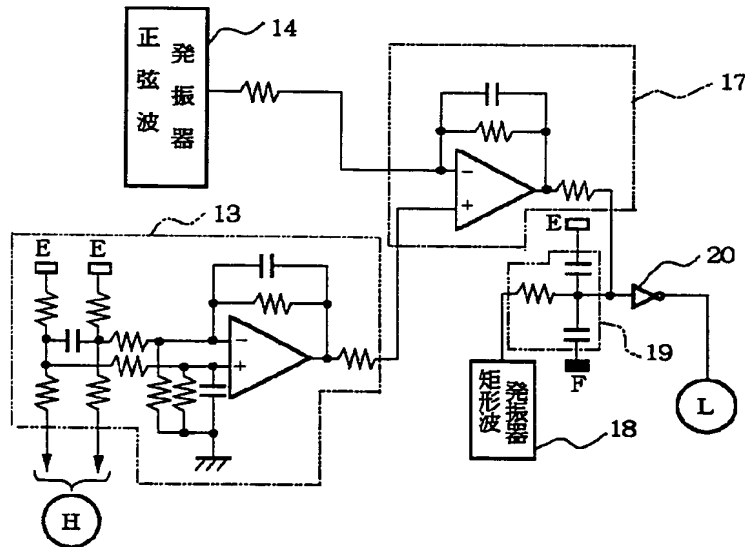
C 4, C 5 低周波成分カット用コンデンサ

C 6 復調用コンデンサ

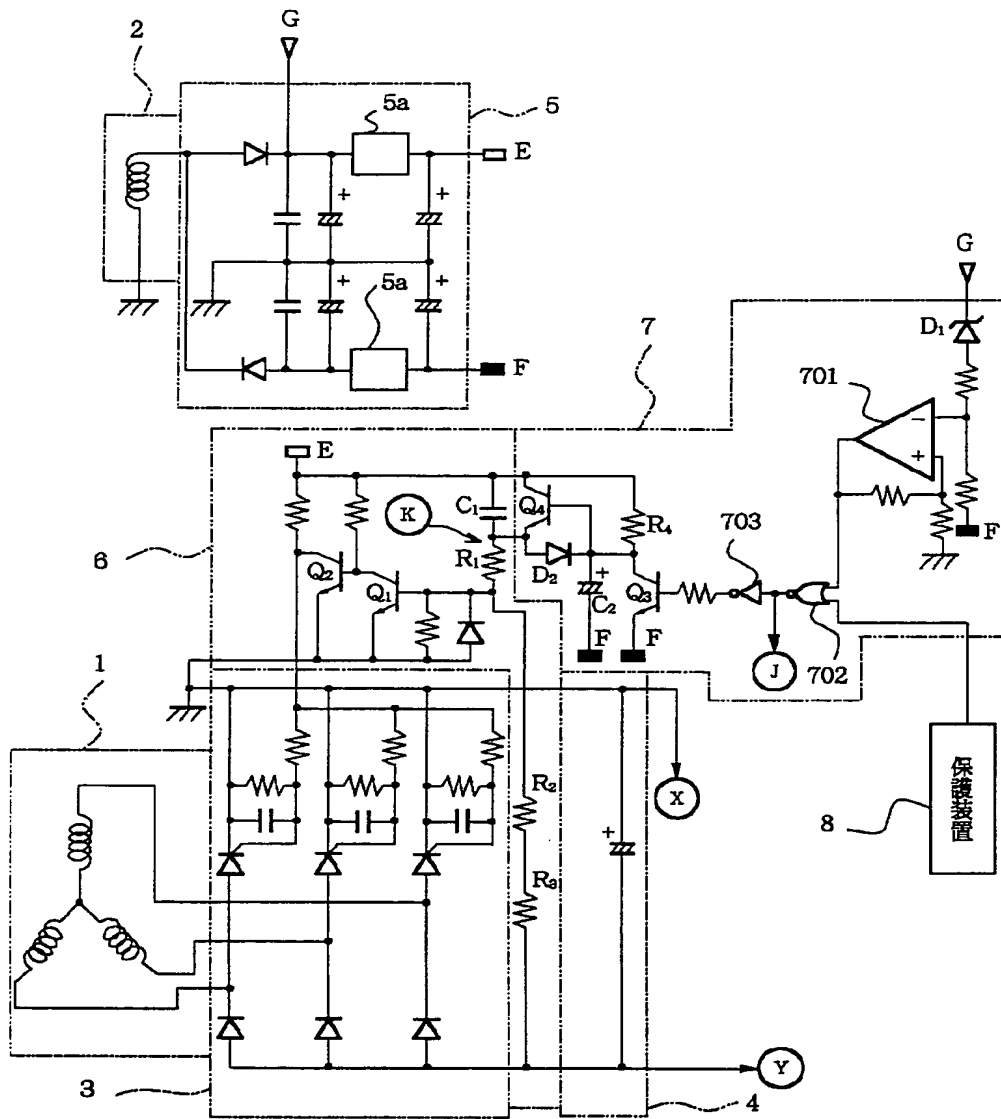
D 7～D 12 ダイオード

A, B, C, D バルストランス

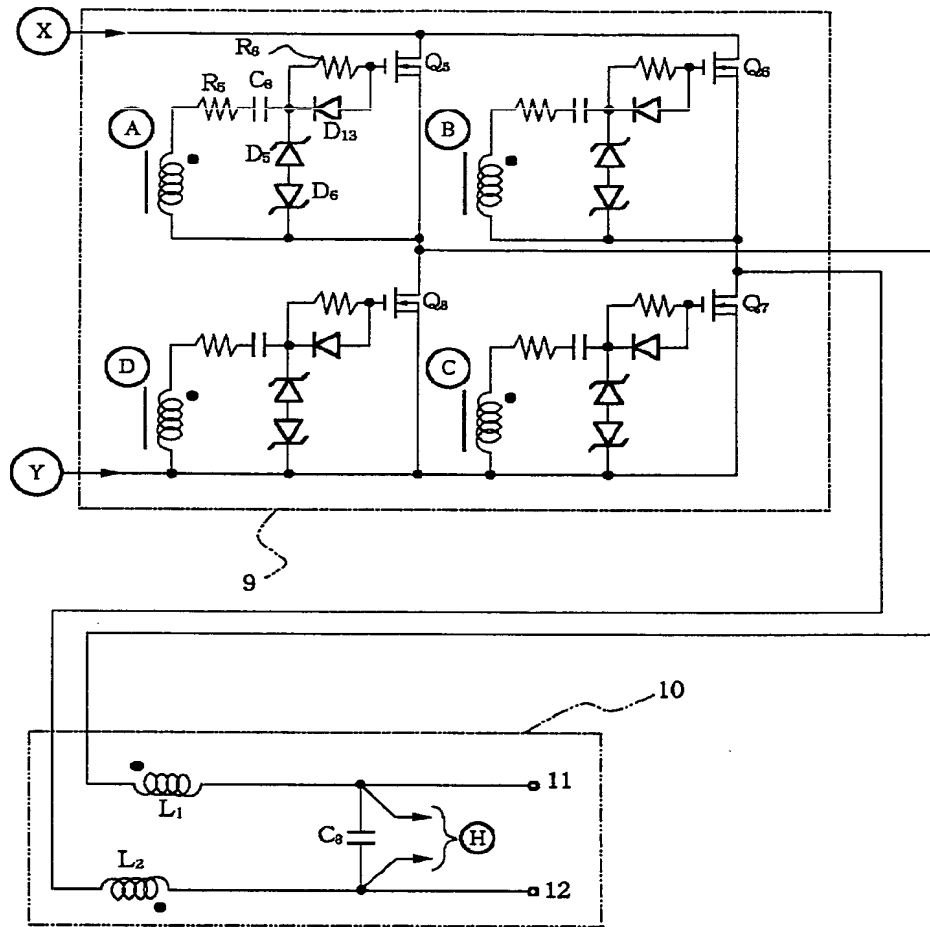
【図1C】



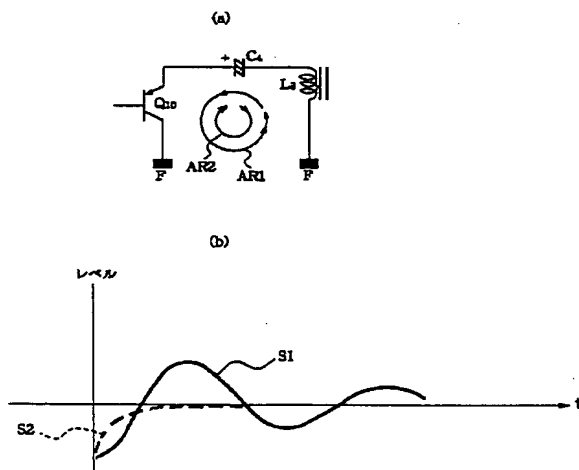
【図 1 A】



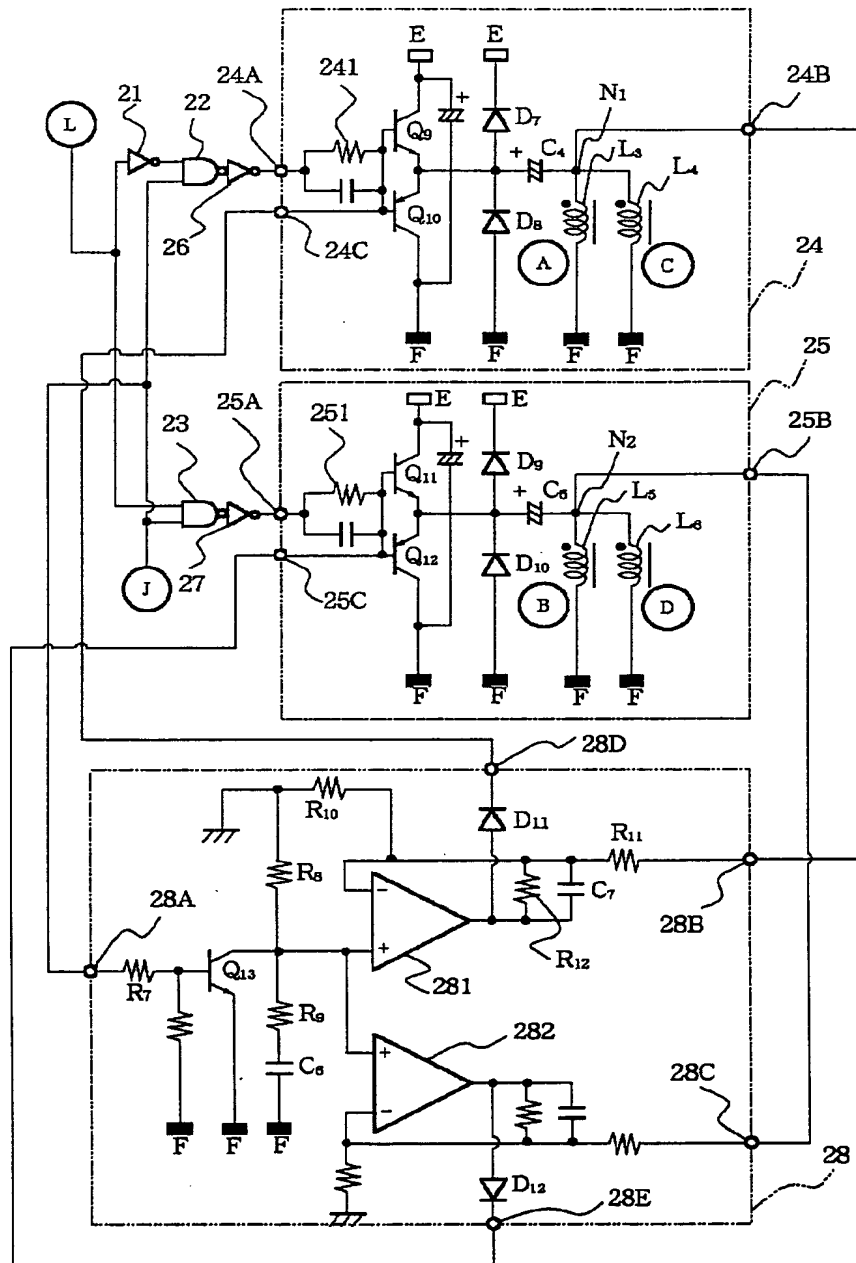
【図1B】



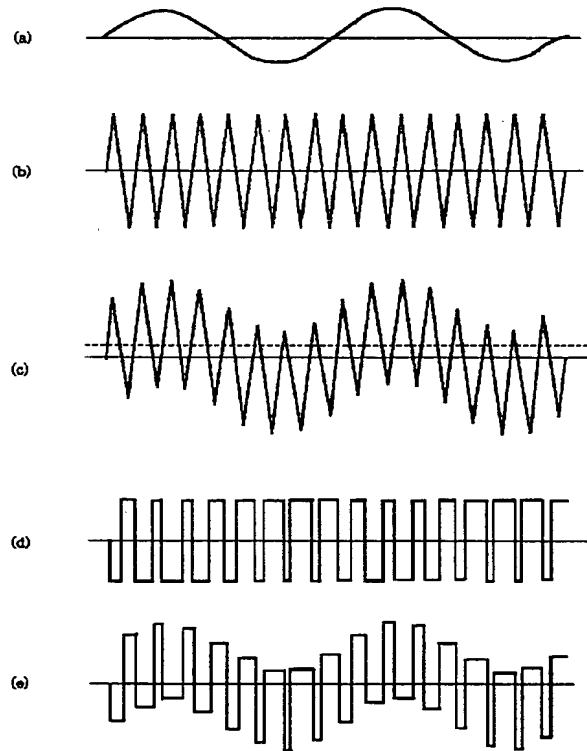
【図3】



【図1D】



【図2】



【手続補正書】

【提出日】平成4年4月6日

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【考案の名称】インバータ装置

【実用新案登録請求の範囲】

【請求項1】 直列接続されたFETを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波状の入力信号をパルス幅変調してPWM信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるPWM信号をパルストランスを介して前記スイッチング装置の前記各FETのゲート端子に供給して前記各FETをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記パルストランスの一次側に接続さ

れ、入力する前記PWM信号から低周波成分を除いて前記パルストランスの一次側に供給する低周波成分カット用コンデンサと、前記パルストランスの二次側と前記各FETのゲート端子との間に接続され、前記パルス幅変調回路から出力されるPWM信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記パルストランスの一次側と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えたことを特徴とするインバータ装置。

【図面の簡単な説明】

【図1】本考案に係るインバータ装置を含むエンジン発電機の全体構成図である。

【図2】インバータ装置の各部における信号波形のタイムチャートである。

【図3】インバータ装置作動停止時の過渡状態を示す回路図およびタイムチャートである。

【符号の説明】

9 インバータ回路（スイッチング装置）

10 出力回路

(7)

実開平6-5393

20 インバータバッファ (パルス幅変調回路)
28 減衰回路
C4, C5 低周波成分カット用コンデンサ

C6 復調用コンデンサ
D7~D12 ダイオード
A, B, C, D バルストランス

【考案の詳細な説明】

【0001】

【産業上の利用分野】

本発明はインバータ装置に関し、特に携帯用の交流電源装置等に使用される、パルス幅変調方式のインバータ装置に関する。

【0002】

【従来の技術】

近年、携帯用の交流電源装置には、出力周波数を安定化させるためにインバータ装置を使用することが多くなってきており、例えばエンジンで駆動される交流発電機によって商用周波数の交流電力を出力する携帯用電源装置においては、エンジンを回転数の高い領域にて運転させて発電機から高出力の交流電流を得、この交流電流を一旦直流に変換した後、インバータ装置により商用周波数の交流に変換して出力するようにした装置が、実開昭59-132398号公報等によって知られている。

【0003】

ところで、このような交流電源装置において、その使用用途によっては出力波形をできるだけ正弦波に近似したものになりたいという要請があり、この要請に応えるべく上記インバータ装置にパルス幅変調(PWM)方式を採用した交流電源装置も検討され始めている(特開昭60-82098号公報)。

【0004】

このような交流電源装置においてFETから成るブリッジ回路等でインバータ装置を構成する場合は、各FETのソース電位が同一でなくなるため、ゲート・ソース間電圧であるゲート信号を付加するに際し、パルストランス等を利用してゲート信号を電源電圧から絶縁した形で伝達することが行なわれている。

【0005】

このようなパルストランスを用いてゲート信号を付加する方式において、パルストランスの一次側に低周波成分カット用コンデンサを設け、二次側に復調用コンデンサを設けて、搬送用周波数を高くしてもパルストランスが磁気飽和せず、従ってFETをPWM信号に適切に対応させてスイッチングさせることのできる

インバータ装置が、本願出願人によって既に平成2年11月16日付で出願されている（特願平2-310963号）。

【0006】

【発明が解決しようとする課題】

しかしながら、上記インバータ装置において、特にエンジンの回転数の低下や回転停止、過負荷等に起因する作動停止直後に、低周波カット用コンデンサ及び復調用コンデンサに作動時に蓄えられた電荷の影響でブリッジ回路を構成するFETの同時に導通してはならないFET同士に同時に駆動信号が入力されてしまうことがあり得る。

【0007】

例えば、インバータ装置の作動を停止した時に、パルストランスの一次側において、トランスのリアクタンスとコンデンサのキャパシタンスによって共振をおこし、減衰振動が生じる。この振動は当然トランスの二次側に伝達されてFETに同時に駆動信号が入力されてしまう。

【0008】

本発明は、上記事情に鑑みてなされたもので、作動停止直後に発生し得る上記のようなコンデンサに蓄えられた電荷の放電に起因するFET駆動信号の乱れを抑制することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために本発明は、直列接続されたFETを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波状の入力信号をパルス幅変調してPWM信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるPWM信号をパルストランスを介して前記スイッチング装置の前記各FETのゲート端子に供給して前記各FETをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記パルストランスの一次側に接続され、入力する前記PWM信号から低周波成分を除いて前記パルストランスの一次側に供

給する低周波成分カット用コンデンサと、前記パルストランスの二次側と前記各FETのゲート端子との間に接続され、前記パルス幅変調回路から出力されるPWM信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記パルストランスの一次側と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えるようにしたものである。

【0010】

【作用】

正弦波状の入力信号をパルス幅変調してPWM信号を形成し、低周波成分カット用コンデンサによってこのPWM信号から低周波成分を除いてパルストランスの一次側に供給し、パルストランスの二次側では復調用コンデンサによってPWM信号を復調し、この復調されたPWM信号に基づいてFETをスイッチング動作させ、このスイッチング動作に基づいて正弦波状の交流電力が出力される。

【0011】

スイッチング装置へ作動停止命令信号が入力されたとき、減衰回路はパルストランスの一次側と低周波成分カット用コンデンサとの直列回路間の電位を負帰還により打ち消し、振動を相殺し、作動停止直後のFET駆動信号の乱れを抑制する。

【0012】

【実施例】

以下、本発明の実施例を添付図面を参照して説明する。

【0013】

図1は、本発明に係るインバータ装置を含むエンジン発電機の全体構成図であり、図1Aにおいて、1、2はそれぞれ交流発電機の固定子に独立して巻装された出力巻線であり、1は三相出力巻線、2は単相補助巻線である。また回転子（図示せず）には多極の永久磁石の磁極が形成されており、エンジン（図示せず）によって回転駆動されるように構成されている。三相出力巻線1の出力端は、3つのサイリスタと3つのダイオードとで構成されるブリッジ整流回路3に接続され、ブリッジ整流回路3の出力端は平滑回路4に接続される。

【0014】

単相補助巻線2の出力端は、正極、負極出力端子E、Fを有する定電圧供給装置5に接続される。定電圧供給装置5は2組の整流回路、平滑回路、定電圧回路5aから成り、単相補助巻線2からの一方向の電流に対しては一方の組の各回路が働き、一方向と反対の方向の電流に対しては他方の組の各回路が働き、これによって出力端子E、Fにそれぞれ正負の定電圧が出力される。

【0015】

6はサイリスタ制御回路であり、電源入力側の一端が定電圧供給装置5の正極出力端子Eに接続され、他端が平滑回路4の正極側端子とともに接地される。サイリスタ制御回路6の信号入力端はコンデンサC1、抵抗R1～R3の直列回路で構成され、コンデンサC1側の一端は定電圧供給装置5の正極出力端子Eに接続され、抵抗R3側の他端は平滑回路4の負極側端子に接続される。抵抗R1と抵抗R2との接続点はトランジスタQ1のベースに、このトランジスタQ1のコレクタはトランジスタQ2のベースに、このトランジスタQ2のコレクタはブリッジ整流回路3の各サイリスタのゲート入力回路に接続され、抵抗R1と抵抗R2との接続点の電位に応じてゲート入力回路の入力信号を制御するように構成されている（サイリスタ制御回路6の詳細は、本願出願人による特願平1-230908号に開示されるのでここでは省略する。）

【0016】

コンデンサC1と抵抗R1との接続点Kには過渡抑制回路7の出力側が接続される。過渡抑制回路7によれば、定電圧供給装置5の正極出力端子E側に設けられた定電圧回路5aの入力側（G）にツェナーダイオードD1のカソード側が接続され、ツェナーダイオードD1のアノード側が抵抗を介して定電圧供給装置5の負極出力端子Fに接続されるとともに、オペアンプから成る反転比較器701の反転端子（-）に接続され、反転比較器701の非反転端子（+）は抵抗を介して接地される。反転比較器701の出力側はNOR回路702の入力側に接続され、一方NOR回路702の入力側のもう1つの端子にはエンジン発電機の過電流状態など、保護が必要な状態になっていることを検出するための保護装置8が接続され、保護が必要な状態を検出した時に「H」レベル信号がNOR回路7

02に供給される。NOR回路702の出力側はインバータ703、抵抗を介してトランジスタQ3のベースに接続される。トランジスタQ3のエミッタは定電圧供給装置5の負極出力端子Fに接続され、一方コレクタは、抵抗R4を介して定電圧供給装置5の正極出力端子Eに接続されるとともにコンデンサC2を介して定電圧供給装置5の負極出力端子Fに接続される。コンデンサC2の正極端子にはトランジスタQ4のベースが接続され、トランジスタQ4のコレクタは定電圧供給装置5の正極出力端子Eに接続され、一方エミッタは、ダイオードD2のアノードに接続されるとともにサイリスタ制御回路6のコンデンサC1と抵抗R1との接続点Kに接続される。ダイオードD2のカソードはコンデンサC2の正極端子に接続される。

【0017】

平滑回路4の出力側は図1Bのインバータ回路9（スイッチング装置）に接続される。インバータ回路9は4つのFET（電界効果トランジスタ）Q5～Q8から成るブリッジ回路で構成される。FETQ5～Q8の各ゲート端子に接続される駆動信号回路に関しては後述する。

【0018】

インバータ回路9の出力側はローパスフィルタから成る出力回路10を介して負荷（図示せず）が接続される出力端子11、12に接続される。出力回路10は、負荷に対し直列接続されるコイルL1、L2、及び負荷に対し並列接続されるコンデンサC3で構成されるローパスフィルタから成る。

【0019】

出力端子11、12の両端（ローパスフィルタを構成するコンデンサの両端H）は、分割抵抗や差動アンプから成る歪検出回路13（図1C）に接続される。歪検出回路13は、出力端子11、12に現れる出力電圧の波形同士を直接比較することによって出力の波形歪みあるいはオフセット成分を検出し、検出信号を出力するものである。

【0020】

14は商用周波数、例えば50HZまたは60HZの正弦波を発生する正弦波発振器である。

【0021】

正弦波発振器14の出力側は差動増幅器17のオペアンプの反転入力端子(－)に接続され、差動増幅器17のオペアンプの非反転入力端子(＋)には歪検出回路13の出力側が接続される。差動増幅器17は、正弦波発振器14から出力される正弦波信号を歪検出回路13から出力される検出信号で補正し、補正された正弦波信号を出力するものである。

【0022】

18は矩形波発振器であり、この矩形波発振器18で発振される矩形波の周波数は正弦波発振器14から出力される正弦波の周波数よりも格段に大きい値に設定される。矩形波発振器18の出力側は積分回路19に接続され、積分回路19は矩形波を積分して三角波信号に変換する。

【0023】

差動増幅器17から出力される補正された正弦波信号と積分回路19から出力される三角波信号とは重畳されてインバータバッファ20(パルス幅変調回路)に供給される。インバータバッファ20は所定のしきい値(スレッショールドレベル)を有し、このしきい値を越えたレベルの信号が入力したときは「L」レベルの信号を出力し、一方しきい値以下のレベルの信号が入力したときは「H」レベルの信号を出力し、いわゆるパルス幅変調(PWM)信号を形成するものであり、例えばゲート端子への入力信号に対し固定されたしきい値を有するC-MOSゲートICで構成する。

【0024】

インバータバッファ20の出力側は、インバータ21(図1D)を経てNAND回路22の一方の入力端に入力するとともにそのまま直接NAND回路23の一方の入力端にも入力する。NAND回路22の他方の入力端とNAND回路23の他方の入力端には過渡抑制回路7のNOR回路702の出力端Jが接続される。

【0025】

NAND回路22の出力端はインバータ26、入力端子24A、抵抗とコンデンサとの並列回路241を介してトランジスタQ9、Q10から成るプッシュアップ

ル増幅器に接続される。プッシュプル増幅器のトランジスタQ9のコレクタは定電圧供給装置5の正極出力端子Eに、トランジスタQ10のコレクタは定電圧供給装置5の負極出力端子Fに接続される。

【0026】

プッシュプル増幅器の出力端（トランジスタQ9、Q10のエミッタ同士の接続点）はダイオードD7のアノードとダイオードD8のカソードとの接続点に接続される。ダイオードD7のカソードは定電圧供給装置5の正極出力端子Eに、ダイオードD8のアノードは定電圧供給装置5の負極出力端子Fに接続される。ダイオードD7、D8は後述のパルストランスで発生するサージを吸収するためのものである。

【0027】

ダイオードD7のアノードとダイオードD8のカソードとの接続点は、低周波成分カット用のコンデンサC4を介してパルストランスA、Cの一次側コイルL3、L4の各一端に接続される。これら一次側コイルL3、L4の各他端は定電圧供給装置5の負極出力端子Fに接続される。コンデンサC4は、周波数の高いPWM搬送周波数信号のみを通し、低周波成分は通さないような定数値に設定される。そして、以上のようにして、FETゲート駆動信号回路24が構成される。

【0028】

また、NAND回路23の出力端は上記同様、インバータ27と入力端子25Aと並列回路251とを介して、トランジスタQ11、Q12から成るプッシュプル増幅器に接続され、プッシュプル増幅器の出力端はダイオードD9のアノードとダイオードD10のカソードとの接続点に接続される。この接続点は、上述のコンデンサC4と同様にPWM搬送周波数信号のみを通し、低周波成分は通さないような定数値に設定されたコンデンサC5を介してパルストランスB、Dの一次側コイルL5、L6の各一端に接続される。そして、以上のようにしてFETゲート駆動信号回路25が構成される。

【0029】

28は減衰回路であり、この回路は、スイッチング装置9へ作動停止命令信号

が入力されたときに作動してパルストランスA～Dの一次側と低周波カット用のコンデンサC4、C5との直列回路間の電位に負帰還をかけるものである。その入力端子28Aは過渡抑制回路7のNOR回路702の出力端Jに接続され、その入力端子28Bおよび28CはFETゲート駆動信号回路24の出力端子24BすなわちノードN1およびFETゲート駆動信号回路25の出力端子25BすなわちノードN2に接続され、その出力端子28Dおよび28EはFETゲート駆動信号回路24の入力端子24CすなわちQ9、Q10のベースおよびFETゲート駆動信号回路25の入力端子25CすなわちQ11、Q12のベースに接続されている。減衰回路28の入力端子28Aは抵抗R7を介してトランジスタQ13のベースに接続され、トランジスタQ13のコレクタは抵抗R8を介して接地されていると共に抵抗R9とコンデンサC6との直列接続を介して負極出力端子Fに接続され、トランジスタQ13のエミッタは負極出力端子Fに直接接続されている。また、トランジスタQ13のコレクタはオペアンプ281の非反転入力端子に接続され、オペアンプ281の反転入力端子は抵抗R10を介して接地されていると共に抵抗R11を介して入力端子28Bに接続されている。オペアンプ281の出力端と抵抗R11との間には、並列接続された抵抗R12とコンデンサC7とが配設されている。オペアンプ282も同様の接続となっている。さらに、オペアンプ281および282の出力端はダイオードD11およびD12を介して出力端子28Dおよび28Eにそれぞれ接続されている。

【0030】

次にインバータ回路9のFETQ5～Q8の各ゲート端子に接続される駆動信号回路について説明する。パルストランスAの二次側の一端は、抵抗R5、復調用のコンデンサC6、抵抗R6とダイオードD13との並列回路を経てFETQ5のゲート端子に接続され、一方パルストランスAの二次側の他端はFETQ5のソース端子に接続される。コンデンサC8と、抵抗R6、ダイオードD13から成る並列回路との接続点は、ツェナーダイオードD5、D6の直列回路を介してパルストランスAの二次側の前記他端に接続される。ダイオードD13はアノードがFETQ5のゲート端子側になるように、またツェナーダイオードD5、D6は互いのアノード同士が向き合うように接続される。

【0031】

各パルストランスB, C, Dの二次側と、対応する各FETQ6~Q8のゲート端子との間にも、パルストランスAの二次側とFETQ5のゲート端子との間に設けられた回路と全く同様な回路が設けられる。

【0032】

次に、以上のように構成されるインバータ装置を含むエンジン発電機の作動について説明する。

【0033】

エンジンの駆動に伴い三相出力巻線1から出力された三相交流電力はブリッジ整流回路3で整流され、続く平滑回路4で平滑されて直流電力に変換されるとともに、平滑回路4での直流電圧の変動が抵抗R2, R3を介してサイリスタ制御回路6で検出され、その検出信号に基づいてブリッジ整流回路3の各サイリスタの導通角を制御することにより平滑回路4の出力電圧が所定の直流電圧に安定に維持されるようなフィードバック制御が行なわれる。なおサイリスタ制御回路6には過渡抑制回路7からの出力信号も入力するが、この信号に基づくサイリスタ制御回路6及びブリッジ整流回路3の作動については後述する。

【0034】

インバータ回路9のFETQ5, Q7及びFETQ6, Q8のゲートには後述するパルス幅変調(PWM)信号が入力され、このPWM信号に応じてFETQ5, Q7及びFETQ6, Q8を交互に導通させることにより平滑回路4の直流出力をスイッチング制御して出力回路10へ出力させる。出力回路10は高周波成分をカットして商用周波数の交流電力を出力端子11, 12から負荷に供給する。

【0035】

出力端子11に現れる出力電圧の波形と出力端子12に現れる出力電圧の波形は、歪検出回路13で比較され、その差、即ち出力電圧の波形の歪みあるいはオフセット成分が検出され、その検出信号が差動増幅器17に出力される。

【0036】

作動増幅器17は、正弦波発振器14から出力された正弦波信号と歪検出回路

13から出力された出力電圧の波形の歪みあるいは直流オフセット分等を含んだフィードバック信号とを比較し、このフィードバック信号によって正弦波信号を補正し、この補正された正弦波信号を出力する。

【0037】

矩形波発振器18から出力された矩形波信号は積分回路19で積分されて三角波信号(第2図b)に変換される。この三角波信号と差動増幅器17からの補正正弦波信号(第2図a)とが重畳されて重畳信号(第2図c)が形成され、インバータバッファ20に入力される。インバータバッファ20では、重畳信号がしきい値を越えるときには「L」レベルの信号を出力し、一方しきい値以下のときには「H」レベルの信号を出力して、結果的に三角波信号を搬送波とし、補正正弦波によりパルス幅変調されたPWM信号(第2図d)を出力することとなる。このPWM信号は、補正された正弦波信号に基づき形成されるため、前記出力電圧の歪み及びオフセット成分を減少させることが可能となるとともに、応答時間がコンパレータ(約 $1\mu\text{sec}$)に比べ格段に速いインバータバッファ(約 50nsec)をPWM信号の形成に使用するため、搬送波の周波数をより高くすることが可能となり、これにより出力波形をより正弦波に近似させた、より高品質の交流電力を供給することを可能ならしめる。

【0038】

インバータバッファ20から出力されたPWM信号は一方はインバータ21で反転されてNAND回路22へ、他方はそのままNAND回路23へ入力される。NAND回路22, 23には過渡抑制回路7から、過電流状態等の保護が必要な状態が検出された時またはエンジン始動時などの低回転状態が検出された時に「L」レベル信号が供給され、この時にはNAND回路22, 23の出力はPWM信号のいかに拘らず「H」レベル信号となり、この状態が継続されるためPWM信号は伝送されない。一方、保護を必要とする状態が検出されずかつエンジン回転数も低回転でないときには過渡抑制回路7から「H」レベル信号が供給され、この時にはNAND回路22, 23はそれぞれ入力した反転または非反転PWM信号に応じてそれぞれ反転または非反転PWM信号を反転した信号を出力し、インバータ26, 27を介して、FETゲート駆動信号回路24には反転した

PWM信号が、またFETゲート駆動信号回路25にはPWM信号が供給される。

【0039】

インバータ26から出力された反転PWM信号は、プッシュプル増幅器でプッシュプル増幅され、その後低周波成分カット用のコンデンサC4へ供給される。このコンデンサC4を通過する直前の信号は基準レベルに対し振幅一定のPWM信号であるが、この信号の平均電圧（積分値）は、正弦波発振器14からの正弦波と同一の周期で変化しており、従ってこのPWM信号は当該正弦波と同一の周波数（商用周波数）成分を含んでいる。

【0040】

コンデンサC4は低周波信号、即ち本実施例における商用周波数信号を通さず、高周波信号であるPWM搬送周波数信号のみを通すので、PWM信号がコンデンサC4を通過後は、第2図eに示すように、商用周波数成分とは逆相にパルス列全体が上下して平均電圧が常時零であるパルス信号列に変換される。この平均電圧が常時零であるパルス信号列がパルストランスA、Cの各一次コイルL3、L4に供給される。従ってパルストランスA、Cを構成するトランスコアには、商用周波数成分による磁気飽和の影響がほとんどなくなり、PWM搬送周波数で磁気飽和しない程度の小形サイズのもので構成することが可能となる。

【0041】

ところで、後述する過渡抑制回路7においてエンジンの回転数の低下や停止または過負荷等の保護を必要とする状態が検出され、NAND回路22が高レベル信号を継続的に出力するとトランジスタQ10がオン状態を保持し、これによりコンデンサC4とコイルL3、L4とで共振回路が構成され、減衰振動が生じる。また、コンデンサC5とコイルL5、L6とでも共振回路が構成され、減衰振動が生じる。これらの減衰振動はパルストランスA、CおよびB、Dの二次側に伝達される。これにより、FETの同時オン、例えば、FETQ5とQ8の同時オンあるいはFETQ6とQ7の同時オンが発生して、FETへの駆動信号が乱れる可能性がある。このため、本実施例では、インバータが停止してNAND回路22、23が高レベル信号を継続的に出力すると、減衰回路28はプッシュプ

ル増幅器の入力側へパルストランスA～Dの一次側の振動を相殺する信号を出力し、FETの同時オンを防止する。

【0042】

次に、減衰回路28の動作について説明する。インバータ停止時には出力端Jの信号レベルが「L」となり、NAND回路22, 23はドライブ信号(PWM信号)の伝達を停止する。さらに、出力端Jの「L」レベル信号により、いままで「H」であった出力端JのレベルによりオンしていたトランジスタQ13がオフし、オペアンプ281、282の非反転入力端子のレベルは、抵抗R8, R9およびコンデンサC6の時定数回路により、トランジスタQ13オン時のマイナス電源電位(負極出力端子Fの電位)から0V付近まで急激に上昇した後、徐々に0Vとなる。このとき、オペアンプ281および282の非反転入力端子に約0Vが印加されていることにより、入力端子28B, 28Cを介してオペアンプ281、282の反転入力端子に入力されたパルストランス一次側の電位すなわちノードN1, N2の電位は反転増幅されてダイオードD11, D12(後に述べるようにこのとき導通状態である)および入力端子24C, 25Cを介してトランジスタQ9, Q10およびQ11, Q12に入力され、これらのトランジスタによりプッシュプル増幅されて、コンデンサC4, C5を介してノードN1, N2に印加される。すなわちノードN1, N2には、減衰振動で発生したノードN1, N2の電位を極性反転した電位が印加され、結果的に減衰振動が抑制される。これにより、パルストランスA～Dの一次側には減衰振動が発生せず、FET Q5～Q8の同時オンによるFET駆動信号の乱れが抑制される。

【0043】

図3(a)および(b)はインバータ装置の作動停止時の過渡状態を示す回路図およびタイムチャートであり、実線は従来装置における過渡状態を示し、点線は本実施例における過渡状態を示す。図3(a)の矢印AR1, AR2は従来装置における減衰振動時の電流ループの方向を示し、最初反時計回り、次に時計回り、次に反時計回りというようにループ方向を変えながら徐々に振動電流が減衰して行く様子を示す。本実施例ではこのような振動は生じない。これを図3(b)に示す。同図の実線S1は従来装置における過渡状態を示し、振動が徐々に減

衰して行く様子を示す。また、同図の点線 S 2 は本実施例における過渡状態を示し、該過渡状態において振動は発生していない。

【0044】

通常運転時にはトランジスタ Q 1 3 がオン状態で、オペアンプ 2 8 1, 2 8 2 の非反転入力端子はマイナス電源電位であるので、オペアンプ 2 8 1, 2 8 2 の出力電位はマイナス電源電位であり、ダイオード D 1 1, D 1 2 によりプッシュプル増幅器 2 4, 2 5 とは電氣的に遮断される。インバータ停止時にはインバータ 2 6, 2 7 の出力レベルは「L」となり、オペアンプ 2 8 1, 2 8 2 の出力電位は「H」と「L」との間であるので、ダイオード D 1 1, D 1 2 は常に導通状態であり、ノード N 1, N 2 の電位を反転した電位が常にプッシュプル増幅器 2 4, 2 5 に供給される。なお、オペアンプ 2 8 1, 2 8 2 の増幅度を調整することにより減衰振動のレベルを調整することができ、限りなくそのレベルを零に近付けることができる。

【0045】

パルストランス A の 2 次コイルから出力したパルス信号（第 2 図 e に示す信号とほぼ同じ）は、双方向電圧規制回路であるツェナーダイオード D 5, D 6 の各降伏電圧と比較され、当該出力パルス信号が正極方向又は負極方向においてこれら各降伏電圧を越えたときにツェナーダイオード D 5 又は D 6 が導通して出力パルス信号の電圧規制を行なうとともに、コンデンサ C 8 が充放電され、コンデンサ C 8 の両端には、出力パルス信号が正極方向又は負極方向において各降伏電圧を越えた分による平均電圧（これは商用周波数を有する）が現れる。従って、F E T Q 5 のゲート・ソース間には、商用周波数を有するコンデンサ C 8 の両端電圧と、パルストランス A の 2 次コイルから出力したパルス信号とが重畳した信号、即ちコンデンサ C 4 を通過前の P W M 信号（第 2 図 d）が復調される。F E T Q 5 は、P W M 信号の正極パルス信号がゲート端子に入力されている間に対応して導通する。

【0046】

なお、コンデンサ C 8 の定数は F E T Q 5 のゲート容量に対し十分大きな値、抵抗 R 5 の定数は、パルストランス A の二次側コイルとコンデンサ C 6 とが共振

しないQに抑えることのできる値を選定する。抵抗R6はFETQ5のスイッチング速度を調整するものであり、またダイオードD13は、FETQ5のゲート端子に加えられていた電圧が低下した時にそれまでにFETQ5のゲート容量に蓄えられた電荷を急速に放電させてFETQ5を即座に非導通にするためのものである。また、ツェナーダイオードD6は、特にバルストランスAの二次コイルからのキックバック電圧によって発生するFETQ5の基準電位の上昇を阻止する機能を有している。

【0047】

次に、インバータ27から出力されたPWM信号は、上記FETゲート駆動信号回路24からFETQ5、Q7までの信号回路と同様の信号処理が行われ、FETQ6、Q8はこの反転PWM信号に応じてスイッチング制御される。但し、上記FETゲート駆動信号回路24からFETQ5、Q7までの回路に加わるPWM信号とは位相が反転されたPWM信号が入力するため、FETQ5、Q7が導通しているときにはFETQ6、Q8が非導通となり、FETQ5、Q7が非導通となっているときにはFETQ6、Q8が導通するようにスイッチング制御される。

【0048】

そしてこのスイッチング出力は出力回路10で搬送周波数成分がカットされ、ほぼ正弦波に近似した商用周波数の交流電力が出力端子11、12から負荷に供給される。

【0049】

次に過渡抑制回路7の作動を説明する。

【0050】

エンジン始動直後は交流発電機の出力電圧が低いため、定電圧供給装置5を構成する定電圧回路5aの入力端の電圧は低く、従って始動当初、ツェナーダイオードD1の降伏電圧（定格運転時の回転数より低い値に設定したエンジン回転数の設定値に相当）を越えることはなく、ツェナーダイオードD1は非導通である。そのため反転比較器701の反転端子（-）は低レベルであり、反転比較器701の出力は高レベルとなる。

【0051】

NOR回路702は入力側の少なくとも一方に高レベル信号が入力すれば低レベル信号を出力するので、NOR回路702の出力は、反転比較器701の高レベル出力または保護装置8の高レベル出力で低レベルとなる。

【0052】

この低レベル信号がインバータ703で反転されて高レベル信号となり、トランジスタQ3を導通してコンデンサC2を放電させる。従ってトランジスタQ4は非導通となり、コンデンサC1と抵抗R1との接続点Kの電位は低レベルとなる。

【0053】

従ってサイリスタ制御回路6のトランジスタQ1は非導通となり、トランジスタQ2は導通となり、ブリッジ整流回路3の各サイリスタのゲートには低レベル信号が供給される。これにより、各サイリスタは導通せず、ブリッジ整流回路3は整流出力を供給しない。即ち、エンジン回転数が設定値以下であるか、または保護が必要な状態が検出されたときにはブリッジ整流回路3は整流出力を供給しないようにされ、これによりエンジン始動時におけるインバータ回路の不安定動作が抑制されるとともに過負荷による過電流状態等の、保護が必要とされる状態が検出された時の出力供給も停止される。

【0054】

次に、エンジン始動後、交流発電機の出力電圧が徐々に上昇し、定電圧回路5aの入力端の電圧が高くなり、ツェナーダイオードD1の降伏電圧を越えると、即ちエンジン回転数が設定値を越えるとツェナーダイオードD1は導通し、反転比較器701の反転端子(－)は高レベルに転じ、反転比較器701の出力は低レベルとなる。

【0055】

このとき保護の必要な状態が検出されていなければ、NOR回路702の出力は高レベルに転じ、インバータ703の出力は低レベルとなる。従ってトランジスタQ3は非導通となり、コンデンサC2は抵抗R4を介して充電される。この充電によりコンデンサC2の正極側電位は、コンデンサC2の容量及び抵抗R4

の抵抗値で決まる時定数に基づき徐々に上昇する。コンデンサC 2の正極側電位の上昇によりトランジスタQ 4が導通するが、このトランジスタQ 4の導通によりトランジスタQ 4のエミッタ電位が上昇してトランジスタQ 4のベース電位より高くなるようなことがあればトランジスタQ 4は非導通に転じるので、K点の電位はコンデンサC 2の正極側電位より僅か低い値に常時維持されることになる。従ってK点の電位は、エンジン回転数が設定値を越えた時点以降、コンデンサC 2の容量及び抵抗R 4の抵抗値で決まる時定数に基づき徐々に上昇することとなる。

【0056】

従って、トランジスタQ 1のベース・エミッタ間電圧は徐々に上昇してトランジスタQ 1は徐々に導通し、トランジスタQ 2は徐々に非導通となり、ブリッジ整流回路3の各サイリスタに入力するゲート電圧は徐々に上昇し、徐々に導通角を広げていくことになる。そして最終的にK点電位が略定電圧供給装置5の正極出力電位に至り、各サイリスタのゲート電圧は抵抗R 1と抵抗R 2との接続点の電位を所定値に維持するための所定のフィードバック制御入力値に至る。

【0057】

斯くして、たとえエンジン始動のとき出力端子11, 12に負荷が接続されたままの状態であってもブリッジ整流回路3の各サイリスタに急激に電流が突入することを防止できるものである。それと同時に、ブリッジ整流回路3の各サイリスタに入力するゲート電圧が徐々に上昇するように制御されることにより、平滑回路4の直流出力はエンジン始動後徐々に上昇し、これによりインバータ回路9の各FETに対して急激な電圧変化が加わることも防止される。こうした防止効果は、エンジン始動時に出力端子11, 12に接続されている負荷が大きい程大きく、特に負荷が短絡状態にある場合にはサイリスタやFETに対する悪影響の抑制効果が極めて大きい。

【0058】

【発明の効果】

以上説明したように、本発明は、直列接続されたFETを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波

状の入力信号をパルス幅変調してPWM信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるPWM信号をパルストランスを介して前記スイッチング装置の前記各FETのゲート端子に供給して前記各FETをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記パルストランスの一次側に接続され、入力する前記PWM信号から低周波成分を除いて前記パルストランスの一次側に供給する低周波成分カット用コンデンサと、前記パルストランスの二次側と前記各FETのゲート端子との間に接続され、前記パルス幅変調回路から出力されるPWM信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記パルストランスの一次側と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えたので、作動停止直後の低周波成分カット用コンデンサの蓄積電荷の放電動作に起因するFET駆動信号の乱れを抑制することができる。

【提出日】平成4年4月6日

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案はインバータ装置に関し、特に携帯用の交流電源装置等に使用される、パルス幅変調方式のインバータ装置に関する。

【0002】

【従来の技術】

近年、携帯用の交流電源装置には、出力周波数を安定化させるためにインバー

タ装置を使用することが多くなってきており、例えばエンジンで駆動される交流発電機によって商用周波数の交流電力を出力する携帯用電源装置においては、エンジンを回転数の高い領域にて運転させて発電機から高出力の交流電流を得、この交流電流を一旦直流に変換した後、インバータ装置により商用周波数の交流に変換して出力するようにした装置が、実開昭59-132398号公報等によって知られている。

【0003】

ところで、このような交流電源装置において、その使用用途によっては出力波形をできるだけ正弦波に近似したものにしたいという要請があり、この要請に応えるべく上記インバータ装置にパルス幅変調(PWM)方式を採用した交流電源装置も検討され始めている(特開昭60-82098号公報)。

【0004】

このような交流電源装置においてFETから成るブリッジ回路等でインバータ装置を構成する場合は、各FETのソース電位が同一でなくなるため、ゲート・ソース間電圧であるゲート信号を付加するに際し、パルストランス等を利用してゲート信号を電源電圧から絶縁した形で伝達することが行なわれている。

【0005】

このようなパルストランスを用いてゲート信号を付加する方式において、パルストランスの一次側に低周波成分カット用コンデンサを設け、二次側に復調用コンデンサを設けて、搬送用周波数を高くしてもパルストランスが磁気飽和せず、従ってFETをPWM信号に適切に対応させてスイッチングさせることのできるインバータ装置が、本願出願人によって既に平成2年11月16日付で出願されている(特願平2-310963号)。

【0006】

【考案が解決しようとする課題】

しかしながら、上記インバータ装置において、特にエンジンの回転数の低下や回転停止、過負荷等に起因する作動停止直後に、低周波カット用コンデンサ及び復調用コンデンサに作動時に蓄えられた電荷の影響でブリッジ回路を構成するFETの同時に導通してはならないFET同士に同時に駆動信号が入力されてしま

うことがあり得る。

【0007】

例えば、インバータ装置の作動を停止した時に、パルストランスの一次側において、トランスのリアクタンスとコンデンサのキャパシタンスによって共振をおこし、減衰振動が生じる。この振動は当然トランスの二次側に伝達されてFETに同時に駆動信号が入力されてしまう。

【0008】

本考案は、上記事情に鑑みてなされたもので、作動停止直後に発生し得る上記のようなコンデンサに蓄えられた電荷の放電に起因するFET駆動信号の乱れを抑制することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために本考案は、直列接続されたFETを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波状の入力信号をパルス幅変調してPWM信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるPWM信号をパルストランスを介して前記スイッチング装置の前記各FETのゲート端子に供給して前記各FETをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記パルストランスの一次側に接続され、入力する前記PWM信号から低周波成分を除いて前記パルストランスの一次側に供給する低周波成分カット用コンデンサと、前記パルストランスの二次側と前記各FETのゲート端子との間に接続され、前記パルス幅変調回路から出力されるPWM信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記パルストランスの一次側と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えるようにしたものである。

【0010】

【作用】

正弦波状の入力信号をパルス幅変調してPWM信号を形成し、低周波成分カット用コンデンサによってこのPWM信号から低周波成分を除いてパルストランスの一次側に供給し、パルストランスの二次側では復調用コンデンサによってPWM信号を復調し、この復調されたPWM信号に基づいてFETをスイッチング動作させ、このスイッチング動作に基づいて正弦波状の交流電力が出力される。

【0011】

スイッチング装置へ作動停止命令信号が入力されたとき、減衰回路はパルストランスの一次側と低周波成分カット用コンデンサとの直列回路間の電位を負帰還により打ち消し、振動を相殺し、作動停止直後のFET駆動信号の乱れを抑制する。

【0012】

【実施例】

以下、本考案の実施例を添付図面を参照して説明する。

【0013】

図1は、本考案に係るインバータ装置を含むエンジン発電機の全体構成図であり、図1Aにおいて、1、2はそれぞれ交流発電機の固定子に独立して巻装された出力巻線であり、1は三相出力巻線、2は単相補助巻線である。また回転子（図示せず）には多極の永久磁石の磁極が形成されており、エンジン（図示せず）によって回転駆動されるように構成されている。三相出力巻線1の出力端は、3つのサイリスタと3つのダイオードとで構成されるブリッジ整流回路3に接続され、ブリッジ整流回路3の出力端は平滑回路4に接続される。

【0014】

単相補助巻線2の出力端は、正極、負極出力端子E、Fを有する定電圧供給装置5に接続される。定電圧供給装置5は2組の整流回路、平滑回路、定電圧回路5aから成り、単相補助巻線2からの一方向の電流に対しては一方の組の各回路が働き、一方向と反対方向の電流に対しては他方の組の各回路が働き、これによって出力端子E、Fにそれぞれ正負の定電圧が出力される。

【0015】

6はサイリスタ制御回路であり、電源入力側の一端が定電圧供給装置5の正極

出力端子Eに接続され、他端が平滑回路4の正極側端子とともに接地される。サイリスタ制御回路6の信号入力端はコンデンサC1、抵抗R1～R3の直列回路で構成され、コンデンサC1側の一端は定電圧供給装置5の正極出力端子Eに接続され、抵抗R3側の他端は平滑回路4の負極側端子に接続される。抵抗R1と抵抗R2との接続点はトランジスタQ1のベースに、このトランジスタQ1のコレクタはトランジスタQ2のベースに、このトランジスタQ2のコレクタはブリッジ整流回路3の各サイリスタのゲート入力回路に接続され、抵抗R1と抵抗R2との接続点の電位に応じてゲート入力回路の入力信号を制御するように構成されている（サイリスタ制御回路6の詳細は、本願出願人による特願平1-230908号に開示されるのでここでは省略する。）

【0016】

コンデンサC1と抵抗R1との接続点Kには過渡抑制回路7の出力側が接続される。過渡抑制回路7によれば、定電圧供給装置5の正極出力端子E側に設けられた定電圧回路5aの入力側（G）にツェナーダイオードD1のカソード側が接続され、ツェナーダイオードD1のアノード側が抵抗を介して定電圧供給装置5の負極出力端子Fに接続されるとともに、オペアンプから成る反転比較器701の反転端子（-）に接続され、反転比較器701の非反転端子（+）は抵抗を介して接地される。反転比較器701の出力側はNOR回路702の入力側に接続され、一方NOR回路702の入力側のもう1つの端子にはエンジン発電機の過電流状態など、保護が必要な状態になっていることを検出するための保護装置8が接続され、保護が必要な状態を検出した時に「H」レベル信号がNOR回路702に供給される。NOR回路702の出力側はインバータ703、抵抗を介してトランジスタQ3のベースに接続される。トランジスタQ3のエミッタは定電圧供給装置5の負極出力端子Fに接続され、一方コレクタは、抵抗R4を介して定電圧供給装置5の正極出力端子Eに接続されるとともにコンデンサC2を介して定電圧供給装置5の負極出力端子Fに接続される。コンデンサC2の正極端子にはトランジスタQ4のベースが接続され、トランジスタQ4のコレクタは定電圧供給装置5の正極出力端子Eに接続され、一方エミッタは、ダイオードD2のアノードに接続されるとともにサイリスタ制御回路6のコンデンサC1と抵抗R

1との接続点Kに接続される。ダイオードD2のカソードはコンデンサC2の正極端子に接続される。

【0017】

平滑回路4の出力側は図1Bのインバータ回路9（スイッチング装置）に接続される。インバータ回路9は4つのFET（電界効果トランジスタ）Q5～Q8から成るブリッジ回路で構成される。FETQ5～Q8の各ゲート端子に接続される駆動信号回路に関しては後述する。

【0018】

インバータ回路9の出力側はローパスフィルタから成る出力回路10を介して負荷（図示せず）が接続される出力端子11、12に接続される。出力回路10は、負荷に対し直列接続されるコイルL1、L2、及び負荷に対し並列接続されるコンデンサC3で構成されるローパスフィルタから成る。

【0019】

出力端子11、12の両端（ローパスフィルタを構成するコンデンサの両端H）は、分割抵抗や差動アンプから成る歪検出回路13（図1C）に接続される。歪検出回路13は、出力端子11、12に現れる出力電圧の波形同士を直接比較することによって出力の波形歪みあるいはオフセット成分を検出し、検出信号を出力するものである。

【0020】

14は商用周波数、例えば50HZまたは60HZの正弦波を発生する正弦波発振器である。

【0021】

正弦波発振器14の出力側は差動増幅器17のオペアンプの反転入力端子（－）に接続され、差動増幅器17のオペアンプの非反転入力端子（＋）には歪検出回路13の出力側が接続される。差動増幅器17は、正弦波発振器14から出力される正弦波信号を歪検出回路13から出力される検出信号で補正し、補正された正弦波信号を出力するものである。

【0022】

18は矩形波発振器であり、この矩形波発振器18で発振される矩形波の周波

数は正弦波発振器14から出力される正弦波の周波数よりも格段に大きい値に設定される。矩形波発振器18の出力側は積分回路19に接続され、積分回路19は矩形波を積分して三角波信号に変換する。

【0023】

差動増幅器17から出力される補正された正弦波信号と積分回路19から出力される三角波信号とは重畳されてインバータバッファ20（パルス幅変調回路）に供給される。インバータバッファ20は所定のしきい値（スレッシュホールドレベル）を有し、このしきい値を越えたレベルの信号が入力したときは「L」レベルの信号を出力し、一方しきい値以下のレベルの信号が入力したときは「H」レベルの信号を出力し、いわゆるパルス幅変調（PWM）信号を形成するものであり、例えばゲート端子への入力信号に対し固定されたしきい値を有するC-MOSゲートICで構成する。

【0024】

インバータバッファ20の出力側は、インバータ21（図1D）を経てNAND回路22の一方の入力端に入力するとともにそのまま直接NAND回路23の一方の入力端にも入力する。NAND回路22の他方の入力端とNAND回路23の他方の入力端には過渡抑制回路7のNOR回路702の出力端Jが接続される。

【0025】

NAND回路22の出力端はインバータ26、入力端子24A、抵抗とコンデンサとの並列回路241を介してトランジスタQ9、Q10から成るプッシュプル増幅器に接続される。プッシュプル増幅器のトランジスタQ9のコレクタは定電圧供給装置5の正極出力端子Eに、トランジスタQ10のコレクタは定電圧供給装置5の負極出力端子Fに接続される。

【0026】

プッシュプル増幅器の出力端（トランジスタQ9、Q10のエミッタ同士の接続点）はダイオードD7のアノードとダイオードD8のカソードとの接続点に接続される。ダイオードD7のカソードは定電圧供給装置5の正極出力端子Eに、ダイオードD8のアノードは定電圧供給装置5の負極出力端子Fに接続される。

ダイオードD 7、D 8は後述のパルストランスで発生するサージを吸収するためのものである。

【0027】

ダイオードD 7のアノードとダイオードD 8のカソードとの接続点は、低周波成分カット用のコンデンサC 4を介してパルストランスA、Cの一次側コイルL 3、L 4の各一端に接続される。これら一次側コイルL 3、L 4の各他端は定電圧供給装置5の負極出力端子Fに接続される。コンデンサC 4は、周波数の高いPWM搬送周波数信号のみを通し、低周波成分は通さないような定数値に設定される。そして、以上のようにして、FETゲート駆動信号回路2 4が構成される。

【0028】

また、NAND回路2 3の出力端は上記同様、インバータ2 7と入力端子2 5 Aと並列回路2 5 1とを介して、トランジスタQ 1 1、Q 1 2から成るプッシュプル増幅器に接続され、プッシュプル増幅器の出力端はダイオードD 9のアノードとダイオードD 1 0のカソードとの接続点に接続される。この接続点は、上述のコンデンサC 4と同様にPWM搬送周波数信号のみを通し、低周波成分は通さないような定数値に設定されたコンデンサC 5を介してパルストランスB、Dの一次側コイルL 5、L 6の各一端に接続される。そして、以上のようにしてFETゲート駆動信号回路2 5が構成される。

【0029】

2 8は減衰回路であり、この回路は、スイッチング装置9へ作動停止命令信号が入力されたときに作動してパルストランスA～Dの一次側と低周波カット用のコンデンサC 4、C 5との直列回路間の電位に負帰還をかけるものである。その入力端子2 8 Aは過渡抑制回路7のNOR回路7 0 2の出力端Jに接続され、その入力端子2 8 Bおよび2 8 CはFETゲート駆動信号回路2 4の出力端子2 4 BすなわちノードN 1およびFETゲート駆動信号回路2 5の出力端子2 5 BすなわちノードN 2に接続され、その出力端子2 8 Dおよび2 8 EはFETゲート駆動信号回路2 4の入力端子2 4 CすなわちQ 9、Q 1 0のベースおよびFETゲート駆動信号回路2 5の入力端子2 5 CすなわちQ 1 1、Q 1 2のベースに接

続されている。減衰回路28の入力端子28Aは抵抗R7を介してトランジスタQ13のベースに接続され、トランジスタQ13のコレクタは抵抗R8を介して接地されていると共に抵抗R9とコンデンサC6との直列接続を介して負極出力端子Fに接続され、トランジスタQ13のエミッタは負極出力端子Fに直接接続されている。また、トランジスタQ13のコレクタはオペアンプ281の非反転入力端子に接続され、オペアンプ281の反転入力端子は抵抗R10を介して接地されていると共に抵抗R11を介して入力端子28Bに接続されている。オペアンプ281の出力端と抵抗R11との間には、並列接続された抵抗R12とコンデンサC7とが配設されている。オペアンプ282も同様の接続となっている。さらに、オペアンプ281および282の出力端はダイオードD11およびD12を介して出力端子28Dおよび28Eにそれぞれ接続されている。

【0030】

次にインバータ回路9のFETQ5～Q8の各ゲート端子に接続される駆動信号回路について説明する。パルストランスAの二次側の一端は、抵抗R5、復調用のコンデンサC6、抵抗R6とダイオードD13との並列回路を経てFETQ5のゲート端子に接続され、一方パルストランスAの二次側の他端はFETQ5のソース端子に接続される。コンデンサC8と、抵抗R6、ダイオードD13から成る並列回路との接続点は、ツェナーダイオードD5、D6の直列回路を介してパルストランスAの二次側の前記他端に接続される。ダイオードD13はアノードがFETQ5のゲート端子側になるように、またツェナーダイオードD5、D6は互いのアノード同士が向き合うように接続される。

【0031】

各パルストランスB、C、Dの二次側と、対応する各FETQ6～Q8のゲート端子との間にも、パルストランスAの二次側とFETQ5のゲート端子との間に設けられた回路と全く同様な回路が設けられる。

【0032】

次に、以上のように構成されるインバータ装置を含むエンジン発電機の作動について説明する。

【0033】

エンジンの駆動に伴い三相出力巻線1から出力された三相交流電力はブリッジ整流回路3で整流され、続く平滑回路4で平滑されて直流電力に変換されるとともに、平滑回路4での直流電圧の変動が抵抗R2, R3を介してサイリスタ制御回路6で検出され、その検出信号に基づいてブリッジ整流回路3の各サイリスタの導通角を制御することにより平滑回路4の出力電圧が所定の直流電圧に安定に維持されるようなフィードバック制御が行なわれる。なおサイリスタ制御回路6には過渡抑制回路7からの出力信号も入力するが、この信号に基づくサイリスタ制御回路6及びブリッジ整流回路3の作動については後述する。

【0034】

インバータ回路9のFETQ5, Q7及びFETQ6, Q8のゲートには後述するパルス幅変調(PWM)信号が入力され、このPWM信号に応じてFETQ5, Q7及びFETQ6, Q8を交互に導通させることにより平滑回路4の直流出力をスイッチング制御して出力回路10へ出力させる。出力回路10は高周波成分をカットして商用周波数の交流電力を出力端子11、12から負荷に供給する。

【0035】

出力端子11に現れる出力電圧の波形と出力端子12に現れる出力電圧の波形は、歪検出回路13で比較され、その差、即ち出力電圧の波形の歪みあるいはオフセット成分が検出され、その検出信号が差動増幅器17に出力される。

【0036】

作動増幅器17は、正弦波発振器14から出力された正弦波信号と歪検出回路13から出力された出力電圧の波形の歪みあるいは直流オフセット分等を含んだフィードバック信号とを比較し、このフィードバック信号によって正弦波信号を補正し、この補正された正弦波信号を出力する。

【0037】

矩形波発振器18から出力された矩形波信号は積分回路19で積分されて三角波信号(第2図b)に変換される。この三角波信号と差動増幅器17からの補正正弦波信号(第2図a)とが重畳されて重畳信号(第2図c)が形成され、インバータバッファ20に入力される。インバータバッファ20では、重畳信号がし

きい値を越えるときには「L」レベルの信号を出力し、一方しきい値以下ときには「H」レベルの信号を出力して、結果的に三角波信号を搬送波とし、補正正弦波によりパルス幅変調されたPWM信号（第2図d）を出力することとなる。このPWM信号は、補正された正弦波信号に基づき形成されるため、前記出力電圧の歪み及びオフセット成分を減少させることが可能となるとともに、応答時間がコンパレータ（約 $1\mu\text{sec}$ ）に比べ格段に速いインバータバッファ（約 50nsec ）をPWM信号の形成に使用するため、搬送波の周波数をより高くすることが可能となり、これにより出力波形をより正弦波に近似させた、より高品質の交流電力を供給することを可能ならしめる。

【0038】

インバータバッファ20から出力されたPWM信号は一方はインバータ21で反転されてNAND回路22へ、他方はそのままNAND回路23へ入力される。NAND回路22, 23には過渡抑制回路7から、過電流状態等の保護が必要な状態が検出された時またはエンジン始動時などの低回転状態が検出された時に「L」レベル信号が供給され、この時にはNAND回路22, 23の出力はPWM信号のいかに拘らず「H」レベル信号となり、この状態が継続されるためPWM信号は伝送されない。一方、保護を必要とする状態が検出されずかつエンジン回転数も低回転でないときには過渡抑制回路7から「H」レベル信号が供給され、この時にはNAND回路22, 23はそれぞれ入力した反転または非反転PWM信号に応じてそれぞれ反転または非反転PWM信号を反転した信号を出力し、インバータ26, 27を介して、FETゲート駆動信号回路24には反転したPWM信号が、またFETゲート駆動信号回路25にはPWM信号が供給される。

【0039】

インバータ26から出力された反転PWM信号は、プッシュプル増幅器でプッシュプル増幅され、その後低周波成分カット用のコンデンサC4へ供給される。このコンデンサC4を通過する直前の信号は基準レベルに対し振幅一定のPWM信号であるが、この信号の平均電圧（積分値）は、正弦波発振器14からの正弦波と同一の周期で変化しており、従ってこのPWM信号は当該正弦波と同一の周

波数（商用周波数）成分を含んでいる。

【0040】

コンデンサC4は低周波信号、即ち本実施例における商用周波数信号を通さず、高周波信号であるPWM搬送周波数信号のみを通すので、PWM信号がコンデンサC4を通過後は、第2図eに示すように、商用周波数成分とは逆相にパルス列全体が上下して平均電圧が常時零であるパルス信号列に変換される。この平均電圧が常時零であるパルス信号列がパルストランスA、Cの各一次コイルL3、L4に供給される。従ってパルストランスA、Cを構成するトランスコアには、商用周波数成分による磁気飽和の影響がほとんどなくなり、PWM搬送周波数で磁気飽和しない程度の小形サイズのもので構成することが可能となる。

【0041】

ところで、後述する過渡抑制回路7においてエンジンの回転数の低下や停止または過負荷等の保護を必要とする状態が検出され、NAND回路22が高レベル信号を継続的に出力するとトランジスタQ10がオン状態を保持し、これによりコンデンサC4とコイルL3、L4とで共振回路が構成され、減衰振動が生じる。また、コンデンサC5とコイルL5、L6とでも共振回路が構成され、減衰振動が生じる。これらの減衰振動はパルストランスA、CおよびB、Dの二次側に伝達される。これにより、FETの同時オン、例えば、FETQ5とQ8の同時オンあるいはFETQ6とQ7の同時オンが発生して、FETへの駆動信号が乱れる可能性がある。このため、本実施例では、インバータが停止してNAND回路22、23が高レベル信号を継続的に出力すると、減衰回路28はプッシュプル増幅器の入力側へパルストランスA～Dの一次側の振動を相殺する信号を出力し、FETの同時オンを防止する。

【0042】

次に、減衰回路28の動作について説明する。インバータ停止時には出力端Jの信号レベルが「L」となり、NAND回路22、23はドライブ信号（PWM信号）の伝達を停止する。さらに、出力端Jの「L」レベル信号により、いままで「H」であった出力端JのレベルによりオンしていたトランジスタQ13がオフし、オペアンプ281、282の非反転入力端子のレベルは、抵抗R8、R9

およびコンデンサC 6の時定数回路により、トランジスタQ 1 3 オン時のマイナス電源電位（負極出力端子Fの電位）から0 V付近まで急激に上昇した後、徐々に0 Vとなる。このとき、オペアンプ2 8 1および2 8 2の非反転入力端子に約0 Vが印加されていることにより、入力端子2 8 B, 2 8 Cを介してオペアンプ2 8 1, 2 8 2の反転入力端子に入力されたパルストランス一次側の電位すなわちノードN 1, N 2の電位は反転増幅されてダイオードD 1 1, D 1 2（後に述べるようにこのとき導通状態である）および入力端子2 4 C, 2 5 Cを介してトランジスタQ 9, Q 1 0およびQ 1 1, Q 1 2に入力され、これらのトランジスタによりプッシュプル増幅されて、コンデンサC 4, C 5を介してノードN 1, N 2に印加される。すなわちノードN 1, N 2には、減衰振動で発生したノードN 1, N 2の電位を極性反転した電位が印加され、結果的に減衰振動が抑制される。これにより、パルストランスA～Dの一次側には減衰振動が発生せず、F E T Q 5～Q 8の同時オンによるF E T駆動信号の乱れが抑制される。

【0043】

図3（a）および（b）はインバータ装置の作動停止時の過渡状態を示す回路図およびタイムチャートであり、実線は従来装置における過渡状態を示し、点線は本実施例における過渡状態を示す。図3（a）の矢印A R 1, A R 2は従来装置における減衰振動時の電流ループの方向を示し、最初反時計回り、次に時計回り、次に反時計回りというようにループ方向を変えながら徐々に振動電流が減衰して行く様子を示す。本実施例ではこのような振動は生じない。これを図3（b）に示す。同図の実線S 1は従来装置における過渡状態を示し、振動が徐々に減衰して行く様子を示す。また、同図の点線S 2は本実施例における過渡状態を示し、該過渡状態において振動は発生していない。

【0044】

通常運転時にはトランジスタQ 1 3がオン状態で、オペアンプ2 8 1, 2 8 2の非反転入力端子はマイナス電源電位であるので、オペアンプ2 8 1, 2 8 2の出力電位はマイナス電源電位であり、ダイオードD 1 1, D 1 2によりプッシュプル増幅器2 4, 2 5とは電氣的に遮断される。インバータ停止時にはインバータ2 6, 2 7の出力レベルは「L」となり、オペアンプ2 8 1, 2 8 2の

出力電位は「H」と「L」との間であるので、ダイオードD11, D12は常に導通状態であり、ノードN1, N2の電位を反転した電位が常にプッシュプル増幅器24, 25に供給される。なお、オペアンプ281, 282の増幅度を調整することにより減衰振動のレベルを調整することができ、限りなくそのレベルを零に近付けることができる。

【0045】

パルストランスAの2次コイルから出力したパルス信号（第2図eに示す信号とほぼ同じ）は、双方向電圧規制回路であるツェナーダイオードD5, D6の各降伏電圧と比較され、当該出力パルス信号が正極方向又は負極方向においてこれら各降伏電圧を越えたときにツェナーダイオードD5又はD6が導通して出力パルス信号の電圧規制を行なうとともに、コンデンサC8が充放電され、コンデンサC8の両端には、出力パルス信号が正極方向又は負極方向において各降伏電圧を越えた分による平均電圧（これは商用周波数を有する）が現れる。従って、FETQ5のゲート・ソース間には、商用周波数を有するコンデンサC8の両端電圧と、パルストランスAの2次コイルから出力したパルス信号とが重畳した信号、即ちコンデンサC4を通過前のPWM信号（第2図d）が復調される。FETQ5は、PWM信号の正極パルス信号がゲート端子に入力されている間に対応して導通する。

【0046】

なお、コンデンサC8の定数はFETQ5のゲート容量に対し十分大きな値、抵抗R5の定数は、パルストランスAの二次側コイルとコンデンサC6とが共振しないQに抑えることのできる値を選定する。抵抗R6はFETQ5のスイッチング速度を調整するものであり、またダイオードD13は、FETQ5のゲート端子に加えられていた電圧が低下した時にそれまでにFETQ5のゲート容量に蓄えられた電荷を急速に放電させてFETQ5を即座に非導通にするためのものである。また、ツェナーダイオードD6は、特にパルストランスAの二次コイルからのキックバック電圧によって発生するFETQ5の基準電位の上昇を阻止する機能を有している。

【0047】

次に、インバータ27から出力されたPWM信号は、上記FETゲート駆動信号回路24からFETQ5, Q7までの信号回路と同様の信号処理が行われ、FETQ6, Q8はこの反転PWM信号に応じてスイッチング制御される。但し、上記FETゲート駆動信号回路24からFETQ5, Q7までの回路に加わるPWM信号とは位相が反転されたPWM信号が入力するため、FETQ5, Q7が導通しているときにはFETQ6, Q8が非導通となり、FETQ5, Q7が非導通となっているときにはFETQ6, Q8が導通するようにスイッチング制御される。

【0048】

そしてこのスイッチング出力は出力回路10で搬送周波数成分がカットされ、ほぼ正弦波に近似した商用周波数の交流電力が出力端子11, 12から負荷に供給される。

【0049】

次に過渡抑制回路7の作動を説明する。

【0050】

エンジン始動直後は交流発電機の出力電圧が低いため、定電圧供給装置5を構成する定電圧回路5aの入力端の電圧は低く、従って始動当初、ツェナーダイオードD1の降伏電圧（定格運転時の回転数より低い値に設定したエンジン回転数の設定値に相当）を越えることはなく、ツェナーダイオードD1は非導通である。そのため反転比較器701の反転端子（-）は低レベルであり、反転比較器701の出力は高レベルとなる。

【0051】

NOR回路702は入力側の少なくとも一方に高レベル信号が入力すれば低レベル信号を出力するので、NOR回路702の出力は、反転比較器701の高レベル出力または保護装置8の高レベル出力で低レベルとなる。

【0052】

この低レベル信号がインバータ703で反転されて高レベル信号となり、トランジスタQ3を導通してコンデンサC2を放電させる。従ってトランジスタQ4は非導通となり、コンデンサC1と抵抗R1との接続点Kの電位は低レベルとな

る。

【0053】

従ってサイリスタ制御回路6のトランジスタQ1は非導通となり、トランジスタQ2は導通となり、ブリッジ整流回路3の各サイリスタのゲートには低レベル信号が供給される。これにより、各サイリスタは導通せず、ブリッジ整流回路3は整流出力を供給しない。即ち、エンジン回転数が設定値以下であるか、または保護が必要な状態が検出されたときにはブリッジ整流回路3は整流出力を供給しないようにされ、これによりエンジン始動時におけるインバータ回路の不安定動作が抑制されるとともに過負荷による過電流状態等の、保護が必要とされる状態が検出された時の出力供給も停止される。

【0054】

次に、エンジン始動後、交流発電機の出力電圧が徐々に上昇し、定電圧回路5aの入力端の電圧が高くなり、ツェナーダイオードD1の降伏電圧を越えると、即ちエンジン回転数が設定値を越えるとツェナーダイオードD1は導通し、反転比較器701の反転端子(－)は高レベルに転じ、反転比較器701の出力は低レベルとなる。

【0055】

このとき保護の必要な状態が検出されていなければ、NOR回路702の出力は高レベルに転じ、インバータ703の出力は低レベルとなる。従ってトランジスタQ3は非導通となり、コンデンサC2は抵抗R4を介して充電される。この充電によりコンデンサC2の正極側電位は、コンデンサC2の容量及び抵抗R4の抵抗値で決まる時定数に基づき徐々に上昇する。コンデンサC2の正極側電位の上昇によりトランジスタQ4が導通するが、このトランジスタQ4の導通によりトランジスタQ4のエミッタ電位が上昇してトランジスタQ4のベース電位より高くなるようなことがあればトランジスタQ4は非導通に転じるので、K点の電位はコンデンサC2の正極側電位より僅か低い値に常時維持されることになる。従ってK点の電位は、エンジン回転数が設定値を越えた時点以降、コンデンサC2の容量及び抵抗R4の抵抗値で決まる時定数に基づき徐々に上昇することとなる。

【0056】

従って、トランジスタQ1のベース・エミッタ間電圧は徐々に上昇してトランジスタQ1は徐々に導通し、トランジスタQ2は徐々に非導通となり、ブリッジ整流回路3の各サイリスタに入力するゲート電圧は徐々に上昇し、徐々に導通角を広げていくことになる。そして最終的にK点電位が略定電圧供給装置5の正極出力電位に至り、各サイリスタのゲート電圧は抵抗R1と抵抗R2との接続点の電位を所定値に維持するための所定のフィードバック制御入力値に至る。

【0057】

斯くして、たとえエンジン始動のとき出力端子11, 12に負荷が接続されたままの状態であってもブリッジ整流回路3の各サイリスタに急激に電流が突入することを防止できるものである。それと同時に、ブリッジ整流回路3の各サイリスタに入力するゲート電圧が徐々に上昇するように制御されることにより、平滑回路4の直流出力はエンジン始動後徐々に上昇し、これによりインバータ回路9の各FETに対して急激な電圧変化が加わることも防止される。こうした防止効果は、エンジン始動時に出力端子11, 12に接続されている負荷が大きい程大きく、特に負荷が短絡状態にある場合にはサイリスタやFETに対する悪影響の抑制効果が極めて大きい。

【0058】

【考案の効果】

以上説明したように、本考案は、直列接続されたFETを交互に駆動することにより直流電源回路の出力をスイッチング制御するスイッチング装置と、正弦波状の入力信号をパルス幅変調してPWM信号を出力するパルス幅変調回路と、このパルス幅変調回路から出力されるPWM信号をパルストランスを介して前記スイッチング装置の前記各FETのゲート端子に供給して前記各FETをスイッチング動作させるゲート制御回路と、前記スイッチング装置のスイッチング動作に基づいて正弦波状の交流電力を出力する出力回路とを有するインバータ装置において、前記ゲート制御回路は、前記パルストランスの一次側に接続され、入力する前記PWM信号から低周波成分を除いて前記パルストランスの一次側に供給する低周波成分カット用コンデンサと、前記パルストランスの二次側と前記各FET

Tのゲート端子との間に接続され、前記パルス幅変調回路から出力されるPWM信号を復調する復調用コンデンサと、前記スイッチング装置へ作動停止命令信号が入力されたときに作動して前記パルストランスの一次側と前記低周波成分カット用コンデンサとの直列回路間の電位に負帰還をかける減衰回路とを備えたので、作動停止直後の低周波成分カット用コンデンサの蓄積電荷の放電動作に起因するFET駆動信号の乱れを抑制することができる。

THIS PAGE BLANK (USPTO)